

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): NOZAWA, et al.  
Serial No.: Not yet assigned  
Filed: March 30, 2004  
Title: SEMICONDUCTOR DEVICE  
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

March 30, 2004

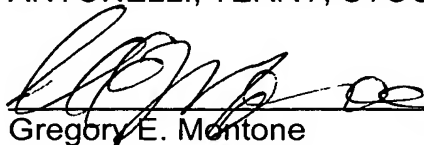
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-093230, filed March 31, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

A handwritten signature in black ink, appearing to read 'Gregory E. Montone', is written over a horizontal line.

Gregory E. Montone  
Registration No. 28,141

GEM/alb  
Attachment  
(703) 312-6600

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 3 1 日  
Date of Application:

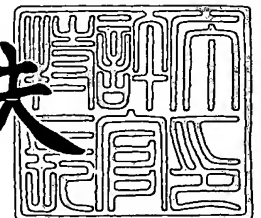
出 願 番 号                      特 願 2 0 0 3 - 0 9 3 2 3 0  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 9 3 2 3 0 ]

出 願 人                      株式会社日立製作所  
Applicant(s):

2 0 0 4 年    2 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 1 2 0 5 7

【書類名】 特許願

【整理番号】 H03001481

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/861

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 野澤 俊哉

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 三井 昌仁

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【代理人】

    【識別番号】 100080001

    【弁理士】

    【氏名又は名称】 筒井 大和

    【電話番号】 03-3366-0787

【手数料の表示】

    【予納台帳番号】 006909

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 銅を主成分とする層を有する第 1 および第 2 電極と  
前記第 1 および第 2 電極間に配置され、前記第 1 および第 2 電極に電氣的に接  
続された半導体素子と、  
前記第 1 電極、前記半導体素子および前記第 2 電極を封止するガラス封止体と  
を有し、  
前記第 1 および第 2 電極は、前記銅を主成分とする層の比率が 20 重量%以上  
であることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、  
前記第 1 および第 2 電極は、ジュメット線からなることを特徴とする半導体装  
置。

【請求項 3】 請求項 1 記載の半導体装置において、  
前記半導体素子はダイオード素子であることを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、  
前記半導体素子はショットキバリアダイオード素子であることを特徴とする半  
導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、  
前記半導体素子は金属電極を有し、  
前記ガラス封止体の封止温度は、前記半導体素子の前記金属電極のシリサイド  
化が促進されない温度であることを特徴とする半導体装置。

【請求項 6】 請求項 1 記載の半導体装置において、  
前記ガラス封止体のガラス軟化点は 560℃以下であることを特徴とする半導  
体装置。

【請求項 7】 請求項 1 記載の半導体装置において、  
前記ガラス封止体の封止温度は、630℃以下であることを特徴とする半導体  
装置。

【請求項 8】 請求項 1 記載の半導体装置において、  
前記ガラス封止体の封止温度は、620℃以下であることを特徴とする半導体装置。

【請求項 9】 請求項 1 記載の半導体装置において、  
前記半導体素子はバンプ電極を有し、  
前記銅を主成分とする層の厚みは、前記バンプ電極の厚みよりも厚いことを特徴とする半導体装置。

【請求項 10】 請求項 1 記載の半導体装置において、  
前記第 1 および第 2 電極は、前記銅を主成分とする層の比率が 20～25 重量 % の範囲内であることを特徴とする半導体装置。

【請求項 11】 請求項 1 記載の半導体装置において、  
前記第 1 および第 2 電極は、前記銅を主成分とする層の比率が 21～24 重量 % の範囲内であることを特徴とする半導体装置。

【請求項 12】 請求項 1 記載の半導体装置において、  
前記第 1 および第 2 電極は、芯部と、前記芯部の外周に形成された前記銅を主成分とする層とを有していることを特徴とする半導体装置。

【請求項 13】 請求項 12 記載の半導体装置において、  
前記第 1 および第 2 電極の前記芯部は、ニッケル含有合金からなることを特徴とする半導体装置。

【請求項 14】 請求項 12 記載の半導体装置において、  
前記第 1 および第 2 電極の前記芯部は、ニッケル含有率が 45 重量 % 以下のニッケル含有合金からなることを特徴とする半導体装置。

【請求項 15】 請求項 12 記載の半導体装置において、  
前記第 1 および第 2 電極の前記芯部は、ニッケル含有率が 41～43 重量 % の範囲内にあるニッケル含有合金からなることを特徴とする半導体装置。

【請求項 16】 請求項 12 記載の半導体装置において、  
前記第 1 および第 2 電極の前記芯部は、鉄とニッケルとを主成分とする合金からなることを特徴とする半導体装置。

【請求項 17】 請求項 12 記載の半導体装置において、

前記第 1 および第 2 電極は、前記銅を主成分とする層の外周に形成された酸化銅層を有していることを特徴とする半導体装置。

【請求項 18】 請求項 17 記載の半導体装置において、  
前記酸化銅層の厚みは、 $1.5\mu\text{m}$  以下であることを特徴とする半導体装置。

【請求項 19】 請求項 1 記載の半導体装置において、  
前記半導体素子は、  
半導体基板と、  
前記半導体基板上に形成されたエピタキシャル層と、  
前記エピタキシャル層上に形成された金属電極と、  
を有するショットキバリアダイオード素子からなることを特徴とする半導体装置。

【請求項 20】 請求項 19 記載の半導体装置において、  
前記金属電極は、タンゲステン膜を有することを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置に関し、特に、ガラス封止型の半導体装置に適用して有効な技術に関する。

##### 【0002】

##### 【従来の技術】

特開平 6-112386 号公報には、内部リードとして使用されるジュメット線に外部リードとして使用される CP 線を接合したスラグリードを 2 本用意し、2 本のスラグリードのジュメット線のそれぞれをガラス材からなる円筒状の封止体（ガラススリーブ）の円筒内に両端部側から挿入し、ジュメット線および封止体で形成されるキャビティ内に単一のダイオード素子を封止したダイオード部品に関する技術が記載されている（特許文献 1 参照）。

##### 【0003】

##### 【特許文献 1】

特開平 6-112386 号公報

**【0004】****【発明が解決しようとする課題】**

本発明者の検討によれば、ガラス封止型の半導体装置では、ガラス封止の温度が高いと、種々の不具合が生じることが分かった。例えば、ガラス封止型ショットキバリアダイオードでは、ガラス封止の際にショットキバリアダイオード素子内の金属電極とシリコンの半導体領域とが反応してシリサイド層を形成し、逆方向のリーク電流を増加させる恐れがある。これは、半導体装置の製造歩留まりを低下させ、半導体装置の製造コストを増大させる。また、PN接合を利用したスイッチングダイオードやツェナーダイオードなどでも、ガラス封止温度が高いと、圧縮または引張り応力が増加して、封止されたダイオード素子とジュメット電極との間の電氣的接続の信頼性が低下する恐れがある。これは、半導体装置の製造歩留まりを低下させ、半導体装置の製造コストを増大させる。

**【0005】**

このため、ガラス封止型の半導体装置では、ガラス封止温度をできるだけ低くすることが望まれる。しかしながら、低融点ガラスを用いてガラス封止温度を下げると、ガラスと内部電極としてのジュメット線との間の接着性が低下することが分かった。これは、ガラス封止型の半導体装置の信頼性の低下を招く恐れがあり、製造歩留まりを低下させ、半導体装置の製造コストを増大させる。

**【0006】**

本発明の目的は、信頼性を向上できる半導体装置を提供することにある。

**【0007】**

本発明の他の目的は、製造コストを低減できる半導体装置を提供することにある。

**【0008】**

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0009】****【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば

、次のとおりである。

【0010】

本発明の半導体装置は、銅を主成分とする層（銅層）の比率が20重量%以上であるジュメット線を用いてガラス封止型の半導体装置を形成したものである。

【0011】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0012】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0013】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0014】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0015】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。



## 【0016】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、断面図であっても図面を見易くするためにハッチングを省略する場合もある。

## 【0017】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

## 【0018】

## (実施の形態1)

本実施の形態の半導体装置を図面を参照して説明する。図1は、本発明の一実施の形態である半導体装置の構造を示す断面図である。

## 【0019】

図1に示される半導体装置1は、ガラス封止型の半導体装置であり、例えばガラス封止型ダイオードである。図1に示されるように、半導体装置1は、ジュメット線（デュメット線）からなる電極、すなわちジュメット電極（デュメット電極）2、3と、ガラス封止体（ガラス管、ガラススリーブ）4と、ジュメット電極2、3およびガラス封止体4からなるキャビティ5内に密封（封入、気密封止）された半導体素子（半導体チップ）6とを有している。

## 【0020】

ガラス封止体4は管状（筒状）の形状を有している。ジュメット電極2とジュメット電極3とは、半導体素子6を介して対向して配置されている。ジュメット電極2、3とそれらの間に挟まれた半導体素子6とが、管状のガラス封止体4内に挿入され、ガラス封止工程での加熱によってガラス封止体4がジュメット電極2、3の外周面に融着されている。従って、ジュメット電極2、半導体素子6およびジュメット電極3がガラス封止体4によって封止されている。

## 【0021】

半導体素子6は、例えばショットキバリアダイオード（ショットキダイオード）素子などのダイオード素子であり、カソードおよびアノードの一方がジュメット電極2に電氣的に接続され、カソードおよびアノードの他方がジュメット電極3に電氣的に接続されている。半導体素子6は、一方の主面（表面）に例えば銀

(A g) などからなるバンプ電極 7 a がカソードまたはアノード側の一方の電極として形成され、他の主面（裏面）に裏面電極 7 b がカソードまたはアノード側の他方の電極として形成されており、半導体素子 6 のバンプ電極 7 a がジュメット電極 3 に電氣的に接続され、半導体素子 6 の裏面電極 7 b がジュメット電極 2 に電氣的に接続されている。

#### 【0022】

ジュメット電極 2 には外部リード 8 が接続され、ジュメット電極 3 には外部リード 9 が接続されている。外部リード 8, 9 は例えば銅と鉄を主成分とする芯線からなる。上記のように、ジュメット電極 2, 3 は、ガラス封止体 4 内で半導体素子 6（のバンプ電極 7 a および裏面電極 7 b）に接続されており、半導体装置 1 の内部電極（内部リード、内部端子）として機能することができる。外部リード 8, 9 はガラス封止体 4 から露出されており、半導体装置 1 の外部電極（外部端子）として機能することができる。例えば半導体装置 1 を図示しない配線基板へ実装する際に、外部リード 8, 9 は配線基板上の配線パターンなどに半田などを用いて接続される。

#### 【0023】

図 2 は、ジュメット電極 2, 3 の断面図である。ジュメット電極 2 およびジュメット電極 3 は円柱状の形状を有しており、互いにほぼ同じ形状および構成を有している。なお、図 2 の断面図は、図 1 の A-A 線に沿ったジュメット電極 2 の断面に対応し、ジュメット電極 3 の断面も図 2 と同様である。

#### 【0024】

ジュメット電極 2, 3 は、ジュメット線からなり、例えば比較的長いジュメット線を所定の長さに切断したものである。図 2 に示されるように、ジュメット電極 2, 3 は、円柱状の芯部（心材、芯材、芯線）11 と、芯部 11 の外周（側面）に形成された被覆層（銅層 12）とを有している。ジュメット電極 2, 3 の芯部 11 は、例えば、鉄とニッケルとを主成分とする合金（鉄ニッケル（鉄－ニッケル）合金）などのニッケル含有合金からなる。ジュメット電極 2, 3 は、芯部 11 の被覆層として、銅を主成分とする層、すなわち銅層 12 を有している。なお、本実施の形態においては、銅層 12 は、銅を主成分とする層であり、不純物

などとして銅以外の成分を若干含有する場合なども含むものとする。また、銅層 12 の外表面には、亜酸化銅 ( $\text{Cu}_2\text{O}$ ) などからなる酸化銅層 14 が形成されている。本実施の形態では、後述するように、ジュメット線からなるジュメット電極 2 およびジュメット電極 3 のそれぞれは、銅層 12 の比率が 20 重量%以上である。

#### 【0025】

半導体素子 6 は、ジュメット電極 2 の芯部 11 上に配置されている。熱膨張係数が比較的近い芯部 11 上に半導体素子 6 を配置していることなどにより、半導体素子 6 とジュメット電極 2, 3 との間の電氣的接続の信頼性が向上される。また、芯部 11 の外周に被覆層として銅層 12 を形成していることにより、ジュメット電極 2, 3 とガラス材料（ガラス封止体 4）の熱膨張率が整合され、ガラス封止が容易になり、ガラス封止後の冷却時にガラス（ガラス封止体 4）にクラックが発生するのを防止できる。また、最外層に酸化銅層 14 を形成していることにより、電極 2, 3 とガラス封止体 4 との間の接着強度をより向上することができる。例えば、ガラス封止の際にガラス封止体 4 とともに酸化銅層 14 も熔融して両者が混じりあい、その後冷却されることにより、ジュメット電極 2, 3 とガラス封止体 4 との間の接着強度をより向上することができる。

#### 【0026】

次に、半導体装置 1 の製造工程について説明する。まず、半導体素子（半導体チップ）6 の製造工程について説明する。図 3～図 6 は、半導体素子 6 の製造工程中の要部断面図である。

#### 【0027】

まず、図 3 に示されるように、n 型の導電型を有する不純物（例えばヒ素（As）またはリン（P））が高濃度（例えば  $1 \times 10^{20}$  個 /  $\text{cm}^3$  程度）に導入（ドーピング）された n<sup>+</sup> 型シリコンからなる半導体基板（半導体ウエハ）21 を用意する。それから、気相成長法（エピタキシャル成長法）を用いて半導体基板 21 上に n 型の導電型を有するエピタキシャル層（エピタキシャルシリコン層）22 を形成する。エピタキシャル層 22 には、n 型の導電型を有する不純物（例えばヒ素（As）またはリン（P））が導入（ドーピング）されている。エピタ

キシャル層 22 の膜厚は、例えば数  $\mu\text{m}$  程度であり、エピタキシャル層 22 に含まれる n 型の不純物濃度は、例えば  $1 \times 10^{15}$  個 /  $\text{cm}^3$  程度である。

#### 【0028】

次に、熱酸化法などを用いてエピタキシャル層 22 の表面に酸化シリコン膜 23 を形成する。それから、CVD (Chemical Vapor Deposition) 法などを用いて酸化シリコン膜 23 上に PSG (Phospho Silicate Glass) 膜 24 を堆積する。これにより、酸化シリコン膜 23 および PSG 膜 24 からなる表面保護膜 25 を形成する。このようにして、図 3 の構造が得られる。

#### 【0029】

次に、図 4 に示されるように、フォトリソグラフィ技術により形成された図示しないフォトレジストパターンをエッチングマスクとして用いて表面保護膜 25 をドライエッチングし、エピタキシャル層 22 に達する開口部 26 を形成する。また、開口部 26 の底面積 (底面形状) は必要に応じて選択できるが、例えば直径数  $\mu\text{m}$  ~ 数十  $\mu\text{m}$  程度の平面円形などとすることができる。

#### 【0030】

次に、図 5 に示されるように、開口部 26 の内部を含む表面保護膜 5 上に、例えばタングステン (W) などからなる金属膜 27 を形成する。金属膜 27 は、例えばスパッタリング法などを用いて形成することができる。金属膜 27 の形成法として、CVD 法なども可能である。金属膜 27 の材料は、形成すべきショットキバリアの大きさに応じた仕事関数を有する金属材料を選択することができ、上記タングステン (W) 以外にも、例えばチタン (Ti)、クロム (Cr)、銀 (Ag) またはパラジウム (Pd) などを用いることができる。金属膜 27 の成膜温度は、例えば  $200 \sim 300^\circ\text{C}$  程度である。

#### 【0031】

それから、熱処理を行って、金属膜 27 とエピタキシャル層 22 とを反応させ、金属膜 27 とエピタキシャル層 22 との界面に薄いシリサイド (タングステンシリサイド) 層 28 を形成する。このシリサイド化のための熱処理は、例えば  $400 \sim 600^\circ\text{C}$  程度の温度で行うことができ、熱処理の温度を高くすれば、シリサイド化を促進してシリサイド層 28 の膜厚を厚くすることができる。シリサイ

ド化が進みすぎると（シリサイド層 28 が厚くなりすぎると）、形成されるショットキダイオードの逆方向の電流（リーク電流）が大きくなり、シリサイド化が少なすぎても（シリサイド層 28 が薄すぎても）、形成されるショットキダイオードの逆方向の電流（リーク電流）が大きくなる。このため、要求されるダイオード特性に応じてシリサイド化のための熱処理温度を設定して、シリサイド化の程度（シリサイド層 28 の厚み）を調節し、製造されるダイオードの特性を所望の値に調整することができる。なお、金属膜 27 の底部のシリサイド化の反応は、上記シリサイド化のための熱処理工程以外でも、比較的高い温度で行われる各種工程、例えば金属膜 27 や他の材料膜の成膜工程などにおいても生じ得る。

#### 【0032】

次に、フォトリソグラフィ技術により形成された図示しないフォトレジストパターンをエッチングマスクとして用いたドライエッチングにより、金属膜 27 をパターンニングする。

#### 【0033】

次に、金属膜 27 上を含む表面保護膜 25 上に、例えばクロム（Cr）などからなる金属膜 29 を形成する。金属膜 29 は、例えばスパッタリング法などを用いて形成される。金属膜 29 の他の材料として、アルミニウム（Al）などを用いることもできる。金属膜 29 の成膜温度は、例えば 200～300℃程度である。それから、フォトリソグラフィ技術により形成された図示しないフォトレジストパターンをエッチングマスクとして用いたドライエッチングにより、金属膜 29 をパターンニングする。これにより、金属膜 27 および金属膜 29 からなり、開口部 26 の底部にてエピタキシャル層 22 と接触する金属電極（アノード電極）30 が形成される。不要であれば、金属膜 29 の形成を省略することもできる。金属電極 30（の金属膜 27）とエピタキシャル層 22 との間には、両者の仕事関数の差などに起因して、ショットキバリア（ショットキ接合）が形成される。このようにして、図 5 の構造が得られる。

#### 【0034】

次に、図 6 に示されるように、半導体基板 21 上に窒化シリコン膜および酸化シリコン膜を順次堆積することによって表面最終保護膜 31 を形成する。それか

ら、フォトリソグラフィ技術により形成された図示しないフォトレジストパターンをエッチングマスクとして用いて表面最終保護膜 31 をドライエッチングすることにより、金属電極 30 に達する開口部 32 を形成する。

#### 【0035】

次に、半導体基板 21 上に例えばチタン (Ti) 膜およびニッケル (Ni) 膜を下層から順次蒸着することなどにより、バンプ電極用下地膜 33 を形成する。この際、ニッケル膜の代わりにパラジウム (Pd) 膜などを蒸着してもよい。それから、バンプ電極用下地膜 33 上にフォトレジスト膜 (図示は省略) を塗布し、フォトリソグラフィ技術によってそのフォトレジスト膜にバンプ電極形成領域に対応する開口部を設ける。そして、例えばめっき法によりニッケル (Ni) 膜、銅 (Cu) 膜または銀 (Ag) 膜などをそのバンプ電極形成領域に堆積することによって、バンプ電極 34 (上記バンプ電極 7a に対応) を形成する。その後、バンプ電極 34 の形成に用いたフォトレジスト膜を除去した後、例えば水酸化カリウム溶液またはヨウ化アンモニウム溶液を用いたウエットエッチングにより、バンプ電極 34 の下部のバンプ電極用下地膜 33 を残し、それ以外のバンプ電極用下地膜 33 を除去する。このようにして、開口部 32 から露出する金属電極 30 上に、バンプ電極 34 を形成する。金属電極 30 上のバンプ電極 34 の厚み (高さ)  $t_1$  は、例えば  $25\ \mu\text{m}$  程度である。

#### 【0036】

次に、必要に応じて半導体基板 21 の裏面を研削して薄くする。それから、半導体基板 21 の裏面をウエットエッチングした後、半導体基板 21 を洗浄する。その後、例えばスパッタリング法などを用いて半導体基板 21 の裏面に導電材料 (金属材料) を堆積することにより、裏面電極 (カソード電極、上記裏面電極 7b に対応) 35 を形成する。裏面電極 35 は、例えば銀 (Ag) 膜からなる。裏面電極 35 の成膜温度は、例えば  $200\sim 300^\circ\text{C}$  程度である。その後、必要に応じて半導体基板 21 が切断 (ダイシング) され、個片の半導体素子 (半導体チップ) に分離されて、ショットキバリアダイオード (Schottky barrier diode) 素子としての半導体素子 (半導体チップ) 6 が形成される。

#### 【0037】

このようにして製造された半導体素子 6 を用いて、半導体装置 1 が次のようにして製造される。図 7 ～ 図 9 は、半導体装置 1 の製造工程の説明図（断面図）である。

#### 【 0 0 3 8 】

まず、ジュメット電極 2，3 形成用の比較的長いジュメット線を、例えばダイヤモンドカッタなどを用いて所定の長さに切断して、ジュメット電極 2，3 を形成する。従って、ジュメット電極 2，3 はジュメット線からなり、円柱状の形状を有する。それから、外部リード 8 をジュメット電極 2 の端面（片面、切断面、平坦面）の中心位置またはその近傍に接続（溶接）し、外部リード 9 をジュメット電極 3 の端面（片面、切断面）の中心位置またはその近傍に接続（溶接）する。例えばアーク溶接法またはスポット溶接法などにより、外部リード 8，9 をジュメット電極 2，3 に接続（溶接）することができる。また、ジュメット電極 2，3 形成用のジュメット線の断面に外部リード 8（外部リード 9）を接続（溶接）した後に、ジュメット線を切断して、外部リード 8（外部リード 9）が接続（溶接）されたジュメット電極 2（ジュメット電極 3）を形成することもできる。

#### 【 0 0 3 9 】

次に、組立用治具 4 1 を用いてガラス封止を行う。図 7 に示されるように、組立用治具 4 1 の上面には、複数の円形の溝（孔）4 2 が格子状に設けられている。溝 4 2 は、組立用治具 4 1 の上面に形成された相対的に大きな直径を有する溝（孔）4 2 a と、溝 4 2 a の底部に形成された相対的に小さな直径を有する溝（孔）4 2 b とからなる。上記のように外部リード 8 を接続したジュメット電極 2 を、組立用治具 4 1 の各溝 4 2 内に、ジュメット電極 2 側を上（外部リード 8 側を下）に向けて挿入（投入）する。溝 4 2 b の直径をジュメット電極 2 の直径よりも小さく、外部リード 8 の直径よりも大きくしておくことで、外部リード 8 だけが溝 4 2 b に挿入され、ジュメット電極 2 は溝 4 2 a の底部に固定される。

#### 【 0 0 4 0 】

次に、ガラス封止体 4 となるガラス管（ガラススリーブ）4 a を組立用治具 4 1 の溝 4 2（溝 4 2 a）内に投入（挿入）して、ガラス管 4 a の孔内にジュメット電極 2 を嵌め合わせる。あるいは、組立用治具 4 1 の溝 4 2 内に先にガラス管

4 a を投入した後に、溝 4 2（溝 4 2 a）内に外部リード 8 を接続したジュメット電極 2 を投入し、ガラス管 4 a の孔内にジュメット電極 2 を嵌め合わせてもよい。

#### 【0041】

次に、図 8 に示されるように、組立用治具 4 1 の溝 4 2（溝 4 2 a）内に、上記のようにして製造された半導体素子 6 を投入する。これにより、半導体素子 6 が、ガラス管 4 a の孔内のジュメット電極 2 上に配置される。この際、半導体素子 6 の上面（バンプ電極 7 a（バンプ電極 3 4）形成側の面）または下面（裏面電極 7 b（裏面電極 3 5）形成側の面）のいずれが上方を向いていてもよい。それから、図 9 に示されるように、組立用治具 4 1 の溝 4 2（溝 4 2 a）内に、外部リード 9 を接続したジュメット電極 3 を、ジュメット電極 3 側を下に（外部リード 9 側を上）に向けて挿入（投入）する。これにより、ジュメット電極 3 はガラス管 4 a の孔内に嵌め合わされる。半導体素子 6 は、ジュメット電極 2，3 により挟まれる。そして、必要に応じて図示しない加圧器具を用いてジュメット電極 3 に対して荷重をかけ、半導体素子 6 に対してジュメット電極 2，3 を押圧した状態とする。

#### 【0042】

次に、図 9 のようにジュメット電極 2，3、半導体素子 6 およびガラス管 4 a をセットした組立用治具 4 1 を図示しないガラス封止用の加熱装置（加熱炉）に投入し、所定の温度に加熱する。これにより、ガラス管 4 a が熔融して、ガラス管 4 a がジュメット電極 2，3 の外周面に融着する。加熱の後、冷却（徐冷）されて、ガラス管 4 a が硬化してガラス封止体 4 となる。これにより、各部材が固定され、図 1 の半導体装置 1 が製造される。ガラス封止体 4 とジュメット電極 2，3 の外周とが接着（融着、封着）されるので、ジュメット電極 2 とジュメット電極 3 との間に位置する半導体素子 6 は気密封止される。製造された半導体装置 1 は、組立用治具 4 1 から取り出され、半導体装置 1 の極性を調べるための試験が行われて半導体装置 1 のアノード側とカソード側とが判別され、必要に応じてマーキングが行われる。また、半導体装置 1 の配線基板への実装工程では、外部リード 8，9 が配線基板の配線パターンに半田などを介して接続される。



## 【0043】

図10は、ガラス封止体4（ガラス管4a）に用いたガラスの特性を示す説明図（表）である。図10では、軟化点（ガラス軟化点、軟化温度）が相対的に高いガラス材料G<sub>1</sub>と、軟化点（ガラス軟化点、軟化温度）が相対的に低いガラス材料（低融点ガラス）G<sub>2</sub>とが示されている。ガラス材料G<sub>1</sub>と比較して、ガラス材料G<sub>2</sub>は軟化点が低いので、封止温度（封着温度、ガラス封止時の温度、ガラス封止時の炉の温度）を低くすることができる。

## 【0044】

上記のように、ガラス封止工程では、加熱によりガラス封止体4（ガラス管4a）をジュメット電極2, 3の外周面に融着させる。このときの加熱により、半導体素子6の金属電極30の金属膜27とエピタキシャル層22とが反応してシリサイド化が促進され、シリサイド層28の厚みが厚くなる恐れがある。このシリサイド化の促進は、ショットキバリアダイオードとしての半導体素子6の逆方向の電流（リーク電流）を増加させるように作用する。このため、金属膜27形成後に行う金属膜27下部のシリサイド化のための熱処理工程において、要求されるダイオード特性に応じて熱処理温度を設定し、シリサイド化の程度（シリサイド層28の厚み）を調節していたとしても、ガラス封止工程での加熱により、金属膜27のシリサイド化が促進され、ダイオード特性が要求値からはずれてしまう恐れがある。これは、半導体装置の製造歩留まりを低下させ、半導体装置の製造コストを増大させる可能性がある。このため、ガラス封止の温度をできるだけ低温にすることが好ましい。

## 【0045】

また、ガラス封止温度が高いと、圧縮または引張り応力が増加して、半導体素子6とジュメット電極2, 3との接着性（電氣的接続の信頼性）が低下する恐れがある。この半導体素子6とジュメット電極2, 3との電氣的接続の信頼性の低下は、半導体素子6が、ショットキバリアダイオード素子である場合だけでなく、ショットキバリアを形成する金属電極を使用しないPN接合型のダイオード素子（例えばPNスイッチングダイオードやツェナーダイオードなど）である場合にも生じ得る。これは、半導体装置の製造歩留まりを低下させ、半導体装置の製

造コストを増大させる可能性がある。このため、ガラス封止の温度をできるだけ低温にすることが好ましい。

#### 【0046】

しかしながら、本発明者の検討によれば、低融点ガラス（または軟化点が低いガラス）を用いてガラス封止温度を下げると、ガラス封止体（ガラス管）とジュメット電極との間の接着性が低下する恐れがあることが分かった。これは、ガラス封止体とジュメット電極（ジュメット線）との間の引張り強度を低下させ、半導体装置の製造歩留まりの低下や製造コストの増大を招く恐れがある。

#### 【0047】

図11は、本実施の形態の半導体装置1で用いられたジュメット電極2、3の銅層12の比率および芯部11のニッケル（Ni）含有率（ニッケル比、ニッケル含有量）を示す説明図（表）である。図11には、本実施の形態のジュメット電極2、3だけでなく、比較例としてのジュメット電極（ジュメット線）DCEも載せてある。

#### 【0048】

図11に示されるように、本実施の形態の半導体装置1においては、使用するジュメット電極2およびジュメット電極3は、銅層12の比率が（各ジュメット電極2、3に対して）20重量%以上である。本発明者の検討によれば、ジュメット電極2、3の銅層12のジュメット電極2、3に占める割合（比率）を調整することで、ガラス封止体4（ガラス管4a）の材料として比較的低融点（低軟化点）のガラスを用いてガラス封止温度を下げて、ガラス封止体4と電極2、3との間の接着性を向上し、引張り強度を向上できることが分かった。本実施の形態では、ジュメット電極2、3の銅層12の比率は20重量%以上であるが、ジュメット電極2、3の銅層12の比率が、20～25重量%の範囲内であればより好ましく、21～24重量%の範囲内であれば更に好ましい。換言すれば、本実施の形態では、銅層12の比率が20重量%以上であるジュメット線を用いてジュメット電極2、3を形成し、より好ましくは銅層12の比率が20～25重量%のジュメット線を用いてジュメット電極2、3を形成し、更に好ましくは銅層12の比率が21～24重量%のジュメット線を用いてジュメット電極2、

3を形成する。また、銅層12の厚み $t_2$ が、半導体素子6のバンプ電極34（バンプ電極7a）の厚み（高さ） $t_1$ よりも厚ければ、より好ましい。

#### 【0049】

図12は、ジュメット電極2, 3の代わりに図11に示されるような比較例のジュメット電極D<sub>CE</sub>を用いた半導体装置（ガラス封止型ダイオード）の引張り強度試験の結果を示すグラフである。図12のグラフでは、ガラス封止体4（ガラス管4a）として図10のガラス材料G<sub>1</sub>を用いた場合とガラス材料G<sub>2</sub>を用いた場合とが示されている。引張り強度試験では、外部リード8（または外部リード9）に荷重を加え、どの程度の荷重を印加したときに不良（ガラス封止体4とジュメット電極D<sub>CE</sub>との剥離など）が生じるかを、複数のサンプル（半導体装置）に対して測定している。図12の横軸は、引張り荷重（arbitrary unit：任意単位）に対応し、図12の縦軸は、不良サンプルの累積確率に対応する。

#### 【0050】

図12に示されるように、軟化点が相対的に高いガラス材料G<sub>1</sub>を用いて相対的に高い封止温度でガラス封止を行って半導体装置（ガラス封止型ダイオード）を製造すると（図12の白丸に対応）、ガラス封止体4とジュメット電極D<sub>CE</sub>との間の接着性は比較的良好、低い引張り荷重で不良が生じてしまう割合は比較的小さい。しかしながら、軟化点が相対的に低い（低融点の）ガラス材料G<sub>2</sub>を用いて相対的に低い封止温度でガラス封止を行って半導体装置（ガラス封止型ダイオード）を製造すると（図12の白四角に対応）、ガラス封止体4とジュメット電極D<sub>CE</sub>との間の接着性が低下し、比較的低い引張り荷重でも不良が生じてしまう割合が増大する。これは、半導体装置（ガラス封止型ダイオード）の信頼性を低下させ、半導体装置の製造歩留まりを低減させる。

#### 【0051】

図13は、本実施の形態のジュメット電極2, 3を用いた半導体装置1の引張り強度試験の結果を示すグラフである。図13のグラフでは、ガラス封止体4（ガラス管4a）として軟化点が比較的低い（低融点の）ガラス材料G<sub>2</sub>を用いた場合が示されている。また、図13のグラフでは、ジュメット電極2, 3の銅層12の比率を20～21重量%とした場合と、21～24重量%とした場合と、

24～25重量%とした場合とが示されている。引張り強度試験では、外部リード8（または外部リード9）に荷重を加え、どの程度の荷重を印加したときに不良（ガラス封止体4とジュメット電極2, 3との剥離など）が生じるかを、複数のサンプル（半導体装置1）に対して測定した。図13の横軸は、引張り荷重（arbitrary unit: 任意単位）に対応し、図13の縦軸は、不良サンプルの累積確率に対応する。

#### 【0052】

図13に示されるように、ジュメット電極D<sub>CE</sub>よりも銅層12の割合を増加させた本実施の形態のジュメット電極2, 3を用いることで、ガラス封止体4とジュメット電極2, 3との間の接着性（接着強度）を向上し、引張り強度を向上して、低い引張り荷重で不良が生じてしまう割合を小さくすることができる。このようなガラス封止体4とジュメット電極2, 3との間の接着性向上の効果は、ジュメット電極2, 3の銅層12の比率を、各ジュメット電極2, 3の20重量%以上とすることで得ることができる。

#### 【0053】

これにより、ガラス封止体4（ガラス管4a）の材料として、軟化点が比較的低い（低融点の）ガラス（例えばガラス材料G<sub>2</sub>）を用いてガラス封止温度を下げて、ガラス封止体4とジュメット電極2, 3との間の接着性を向上でき、ガラス封止体4とジュメット電極2, 3との間の引張り強度を向上できる。このため、低い引張り荷重で不良が生じてしまう割合を比較的小さくすることができる。従って、半導体装置1の信頼性を向上し、半導体装置1の製造歩留まりを向上できる。半導体装置1の製造コストも低減できる。また、ガラス封止体4とジュメット電極2, 3との間の接着性（接着強度）を向上できるので、半導体素子6のバンプ電極7aや裏面電極7bとジュメット電極2, 3との間の接触状態が改善される。このため、半導体素子6のバンプ電極7aや面電極7bとジュメット電極2, 3との接触面積を小さくすることも可能であり、半導体素子6または半導体装置1の小型化が容易になる。更に、サージ試験においても、オープン不良率を低減できる。

#### 【0054】

各ジュメット電極 2, 3 の銅層 12 の比率は、各ジュメット電極 2, 3 の 20 ~ 25 重量% の範囲内であればより好ましく、21 ~ 24 重量% の範囲内であれば更に好ましい。これにより、図 13 から分かるように、ガラス封止体 4 とジュメット電極 2, 3 との間の接着性（接着強度）をより向上し、ガラス封止体 4 とジュメット電極 2, 3 との間の引張り強度をより向上して、低い引張り荷重で不良が生じてしまう割合をより小さくすることが可能となる。このため、半導体装置 1 の信頼性をより向上することができる。

#### 【0055】

また、本発明者の検討によれば、ガラス封止体 4（ガラス管 4a）の材料として、軟化点が比較的低い（低融点の）ガラス（例えばガラス材料 G<sub>2</sub>）を用いてガラス封止温度を下げたことにより、ガラス封止工程中に半導体素子 6 の金属電極 30（の金属膜 27）がシリサイド化するのを抑制または防止でき、半導体素子 6 の特性が変化（変動）するのを抑制または防止できることが確認された。これにより、製造された半導体装置 1 の電気的特性が安定化され、軟化点が比較的高いガラス（例えばガラス材料 G<sub>1</sub>）を用いた場合と比べて、半導体装置の製造歩留まりが著しく向上することが確認された。

#### 【0056】

また、本発明者の検討によれば、各ジュメット電極 2, 3 の芯部 11 のニッケル含有率（ニッケル比、ニッケル含有量）は 45 重量% 以下にすることが好ましく、図 11 に示されるように芯部 11 のニッケル含有率を 41 ~ 43 重量% にすればより好ましい。ジュメット電極 2, 3 の芯部 11 のニッケル含有率を上記のような値とすることで、軟化点が比較的低い（低融点の）ガラス材料（例えばガラス材料 G<sub>2</sub>）を用いてガラス封止温度を下げたときの、ガラス封止体 4 とジュメット電極 2, 3 との間の接着性（接着強度）をより向上することができる。このため、ガラス封止体 4 とジュメット電極 2, 3 との間の引張り強度をより向上し、低い引張り荷重で不良が生じてしまう割合をより小さくすることが可能となる。従って、半導体装置 1 の信頼性をより向上することができる。

#### 【0057】

また、本発明者は、ガラス封止体 4 とジュメット電極 2, 3 との間の接着性と

、ジュメット電極 2, 3 における酸化銅層 14 の厚みとの関連性についても検討した。図 14 は、ジュメット電極 2, 3 における酸化銅層 14 の厚みを変えた場合の半導体装置 1 の引張り強度試験の結果を示すグラフである。図 14 のグラフでは、ガラス封止体 4 (ガラス管 4 a) として軟化点が比較的低い (低融点の) ガラス材料 G<sub>2</sub> を用い、ジュメット電極 2, 3 の酸化銅層 14 の厚みを 1.0 ~ 1.2  $\mu\text{m}$  とした場合と、酸化銅層 14 の厚みを 1.5  $\mu\text{m}$  とした場合と、酸化銅層 14 の厚みを 1.6 ~ 1.8  $\mu\text{m}$  とした場合とが示されている。なお、本実施の形態では、ジュメット電極 2, 3 の酸化銅層 14 の厚みは、ガラス封止工程前の状態における酸化銅層 14 の厚みのことをいう。図 14 の横軸は、引張り荷重 (arbitrary unit: 任意単位) に対応し、図 14 の縦軸は、不良サンプルの累積確率に対応する。

#### 【0058】

図 14 から分かるように、各ジュメット電極 2, 3 の酸化銅層 14 の厚みを 1.5  $\mu\text{m}$  以下にすることで、ガラス封止体 4 とジュメット電極 2, 3 との間の接着性 (接着強度) を向上し、引張り強度を向上して、低い引張り荷重で不良が生じてしまう割合をより小さくすることができる。これにより、ガラス封止体 4 (ガラス管 4 a) の材料として、軟化点が比較的低い (低融点の) ガラス材料 (例えばガラス材料 G<sub>2</sub>) を用いてガラス封止温度を下げても、ガラス封止体 4 とジュメット電極 2, 3 との間の接着性を向上でき、ガラス封止体 4 とジュメット電極 2, 3 との間の引張り強度を向上し、低い引張り荷重で不良が生じてしまう割合をより小さくすることができる。従って、半導体装置 1 の信頼性をより向上し、半導体装置 1 の製造歩留まりをより向上できる。半導体装置 1 の製造コストも低減できる。

#### 【0059】

本実施の形態では、上記のように、銅層 12 の比率が 20 重量%以上、より好ましくは 20 ~ 25 重量%、更に好ましくは 21 ~ 24 重量%であるジュメット電極 2 およびジュメット電極 3 を用い、ガラス封止型の半導体装置 1 を製造している。このようなジュメット電極 2, 3 を用いることで、ガラス封止体 4 の材料として、軟化点が低い (低融点の) ガラス材料を用いてガラス封止温度を下げた

としても、ガラス封止体 4 とジユメット電極 2, 3 との間の接着性が低下しない。このため、半導体装置の信頼性を向上できるとともに、ガラス封止体 4 (ガラス管 4 a) として使用可能なガラス材料の軟化点の範囲が拡大し、ガラス材料の選択の幅が広がる。このため、半導体装置の製造工程の自由度が増大し、半導体装置の製造が容易となる。半導体装置の製造コストの低減も可能となる。

#### 【0060】

また、本実施の形態では、ガラス封止体 4 とジユメット電極 2, 3 との間の接着性を確保できるので、軟化点が高い (低融点の) ガラス材料 (例えば上記ガラス材料 G<sub>2</sub> など) を用いてガラス封止温度を下げるのが可能である。例えば、ガラス封止工程でのガラス封止体 4 (ガラス管 4 a) の封止温度を、金属膜 27 (金属電極 30) のシリサイド化 (すなわち金属膜 27 とエピタキシャル層 22 との反応) が促進されない温度とすればより好ましい。また、ガラス封止体 4 の封止温度 (封着温度) を 630℃以下 (炉の設定温度) とすればより好ましく、620℃以下とすれば更に好ましい。あるいは、ガラス封止体 4 (ガラス管 4 a) の軟化点 (ガラス軟化点) が 560℃以下であればより好ましく、552℃以下であれば更に好ましい。軟化点が高い (低融点の) ガラス材料を用い、ガラス封止温度を低くすることにより、ガラス封止工程において、半導体素子 6 の金属電極 30 の金属膜 27 がエピタキシャル層 22 と反応してシリサイド化するのを、抑制または防止することができる。このため、半導体素子 6 の製造後に、半導体素子 6 の特性 (例えば順または逆方向電流特性などの電気的特性) が変化 (変動) するのを抑制または防止することができる。従って、所望の特性を有するガラス封止型の半導体装置 (ショットキバリアダイオード) を歩留まりよく安定して製造することが可能となる。半導体装置の製造コストも低減できる。ガラス封止工程における封止温度は、半導体素子 6 の形成工程中に半導体基板 21 (金属膜 27) がさらされる温度に比べて相対的に高いので、ガラス封止型の半導体装置 (ショットキバリアダイオード) の電気的特性の安定化には、ガラス封止温度を低くすることが極めて有効である。

#### 【0061】

また、金属膜 27 (金属電極 30) のシリサイド化 (エピタキシャル層 22 と

の反応)は、金属膜27がタングステンなどからなる場合に促進されやすい(比較的低温でも反応しやすい)。このため、ガラス封止温度を引き下げることができなければ、金属膜27(金属電極30)の材料として、シリサイド化されにくい金属材料しか選択できなくなる。本実施の形態では、ガラス封止の温度を下げてもガラス封止体4とジュメット電極2, 3との間の接着性を確保できるので、低い温度でもガラス封止を行うことが可能となり、シリサイド化が促進されやすいタングステンなどの金属材料をショットキバリアダイオードの金属電極30(金属膜27)の材料として用いることが可能となる。このため、ショットキバリアダイオードの金属電極30(金属膜27)の材料の選択の幅が広がり、種々の特性の半導体装置(ショットキバリアダイオード)を製造することが可能となる。

#### 【0062】

また、ガラス封止温度が高いと、圧縮または引張り応力が増加して、半導体素子6とジュメット電極2, 3との接着性(電氣的接続の信頼性)が低下する恐れがあるが、本実施の形態では、軟化点が低い(低融点の)ガラス材料を用いてガラス封止温度を下げる事が可能となるので、半導体素子6とジュメット電極2, 3との電氣的接続の信頼性を向上することができる。

#### 【0063】

また、本実施の形態では、ガラス封止体4とジュメット電極2, 3との間の接着性の確保(向上)と、半導体装置の特性(電氣的特性)の変動防止や半導体素子6とジュメット電極2, 3との電氣的接続の信頼性の確保(向上)とを両立することが可能となる。

#### 【0064】

また、上記実施の形態では、ガラス封止体4(ガラス管4a)の材料として、図10に示されるような鉛を含有する鉛ガラスを用いている。他の形態として、鉛を含有しないガラス(鉛フリーガラス)をガラス封止体4(ガラス管4a)の材料として用いることもできる。これにより、鉛による汚染などを防止できる。また、半導体装置の製造がより容易となる。

#### 【0065】



### (実施の形態 2)

上記実施の形態 1 では、半導体装置 1 内にガラス封止された半導体素子 6 としてショットキバリアダイオード素子を用いている。本実施の形態では、半導体素子 6 の代わりにショットキバリアダイオード素子以外のダイオード素子、例えば PN 接合を利用したダイオード素子からなる半導体素子（半導体チップ）を用いる。

#### 【0066】

図 15～図 18 は、本実施の形態の半導体装置で用いられる半導体素子（半導体チップ）6a の製造工程中の要部断面図である。

#### 【0067】

まず、図 15 に示されるように、n 型の導電型を有する不純物（例えばヒ素（As）またはリン（P））が高濃度に導入（ドーピング）された n<sup>+</sup>型シリコンからなる半導体基板（半導体ウエハ）51 を用意する。それから、気相成長法（エピタキシャル成長法）を用いて半導体基板 51 上に n 型の導電型を有するエピタキシャル層（エピタキシャルシリコン層）52 を形成する。エピタキシャル層 52 には、n 型の導電型を有する不純物（例えばヒ素（As）またはリン（P））が導入（ドーピング）されている。エピタキシャル層 52 の膜厚は、例えば数  $\mu\text{m}$ ～十数  $\mu\text{m}$  程度である。

#### 【0068】

次に、熱酸化法などを用いてエピタキシャル層 52 の表面に酸化シリコン膜 53 を形成する。

#### 【0069】

次に、図 16 に示されるように、フォトリソグラフィ法およびドライエッチング法を用いて酸化シリコン膜 53 を選択的に除去して、エピタキシャル層 52 に達する開口部 54 を形成する。その後、酸化シリコン膜 53 をマスクとし、イオン注入法などを用いて、エピタキシャル層 52 に、p 型の導電型を有する不純物（例えばホウ素（B））を導入し、必要に応じて熱処理を施す。これにより、p 型拡散層（p 型不純物拡散層、p 型半導体領域）55 を形成する。このようにして、p 型拡散層 55 と n 型のエピタキシャル層 52 とによる PN（P/N）接合

が形成される。

#### 【0070】

次に、図17に示されるように、熱酸化法を用いて、p型拡散層55の露出した表面に酸化膜56を形成する。それから、半導体基板51上に酸化シリコン ( $\text{SiO}_2$ ) 膜を堆積し、その酸化シリコン膜の表面に例えばCVD法によりPSG (Phospho Silicate Glass) 膜を堆積することにより、酸化シリコン膜とPSG膜とからなる表面保護膜57を形成する。

#### 【0071】

次に、フォトリソグラフィ法およびドライエッチング法を用いて酸化膜56および表面保護膜57を選択的に除去して、開口部 (コンタクトホール) 58を形成する。このとき、開口部58の底部にはp型拡散層55が露出する。

#### 【0072】

次に、開口部58の内部を含む半導体基板51 (表面保護膜57) 上に、例えばスパッタリング法を用いて、形成すべきショットキバリアの大きさに応じた仕事関数を有する金属材料、例えば、タングステン (W)、チタン (Ti)、クロム (Cr)、銀 (Ag) またはパラジウム (Pd) などの金属からなる導体 (金属) 膜を堆積する。それから、フォトリソグラフィ法およびドライエッチング法を用いて、その導体膜をパターン化することにより、表面電極59を形成する。

#### 【0073】

次に、図18に示されるように、半導体基板51上に窒化シリコンおよび酸化シリコン膜を順に堆積し、窒化シリコンおよび酸化シリコン膜の積層膜からなる表面最終保護膜60を形成する。それから、フォトリソグラフィ法およびドライエッチング法を用いて、表面最終保護膜60を選択的に除去して、表面電極59の表面を露出させる。

#### 【0074】

次に、上記実施の形態1のバンプ電極用下地膜33およびバンプ電極34と同様にして、表面電極59上にバンプ電極用下地膜61およびバンプ電極62 (バンプ電極7aに対応) を形成する。

#### 【0075】

次に、必要に応じて半導体基板 5 1 の裏面を研削して薄くした後、上記実施の形態 1 の裏面電極 3 5 と同様にして、半導体基板 5 1 の裏面に裏面電極（カソード電極、裏面電極 7 b に対応）6 3 を形成する。その後、必要に応じて半導体基板 5 1 が切断（ダイシング）され、個片の半導体素子（半導体チップ）に分離されて、PN 接合型のダイオード素子としての半導体素子 6 a が形成される。

#### 【0076】

このようにして製造された半導体素子 6 a を用い、上記実施の形態 1 と同様にして、本実施の形態の半導体装置 1 a が製造される。図 19 は、本実施の形態の半導体装置 1 a の断面図であり、図 1 に対応する。

#### 【0077】

図 19 に示されるように、本実施の形態の半導体装置 1 a は、ガラス封止型の半導体装置であり、例えばガラス封止型ダイオードである。半導体装置 1 a は、ジュメット（ジュメット：Dumet）電極 2，3 とガラス封止体（ガラス管、ガラススリーブ）4 とからなるキャビティ内 5 に半導体素子（半導体チップ）6 a が密封（封入）されており、ジュメット電極 2，3 には外部リード 8，9 が接続されている。半導体素子 6 a は、上記のように内部に PN 接合を有するダイオード素子である。半導体装置 1 a は、半導体素子 6 の代わりに半導体素子 6 a を用いたこと以外は、上記実施の形態 1 の半導体装置 1 とほぼ同様の構成を有するので、半導体素子 6 a 以外の構成（例えばジュメット電極 2，3、ガラス封止体 4 および外部リード 8，9）については、ここでは説明を省略する。

#### 【0078】

上記のような半導体素子 6 a を用いてガラス封止型の半導体装置を製造した場合、ガラス封止温度が高いと、圧縮または引張り応力が増加して、半導体素子 6 a とジュメット電極 2，3 との接着性（電氣的接続の信頼性）が低下する恐れがある。また、ガラス封止工程において、表面電極 5 9 下部が p 型拡散層 5 5 の表面と反応してシリサイド化して不具合（例えば逆方向のリーク電流の増大など）が生じる恐れがある。これらは、半導体装置の信頼性を低減する可能性がある。本実施の形態では、上記実施の形態 1 と同様のジュメット電極 2，3 を用いることで、それらの問題点を解決することができる。すなわち、上記実施の形態 1 と

同様にジュメット電極 2, 3 とガラス封止体 4 との間の接着性を向上でき、ガラス封止体 4 として軟化点が低い（低融点の）ガラス材料を用いてガラス封止温度を下げる事が可能となる。このため、半導体素子 6 a とジュメット電極 2, 3 との電氣的接続の信頼性を向上することができる。また、ガラス封止工程における表面電極 5 9 下部の p 型拡散層 5 5 の表面との反応（シリサイド化）を抑制または防止でき、表面電極 5 9 下部のシリサイド化に起因した不具合（例えば逆方向のリーク電流の増大など）を防止することができる。従って、半導体装置 1 a の信頼性を向上できる。また、半導体装置の製造歩留まりを向上し、半導体装置の製造コストを低減できる。

#### 【0079】

（実施の形態 3）

上記実施の形態 1, 2 では、半導体装置 1 内にガラス封止された半導体素子 6 としてダイオード素子を用いている。本実施の形態では、半導体素子 6 の代わりにダイオード素子以外の半導体素子（半導体チップ）を用いる。

#### 【0080】

図 20 は、本実施の形態の半導体装置 1 b の断面図であり、図 1 に対応する。

#### 【0081】

図 20 に示されるように、本実施の形態の半導体装置 1 b は、ガラス封止型の半導体装置であり、例えばマイクロ波受信用のアンテナを備えた非接触型の電子タグなどとして機能することができる。半導体装置 1 b は、ジュメット（ジュメット：Dumet）電極 2, 3 とガラス封止体（ガラス管、ガラススリーブ）4 とからなるキャビティ内 5 に半導体素子（半導体チップ）6 b が密封（封入）されており、ジュメット電極 2, 3 には外部リード 8, 9 が接続されている。半導体装置 1 b は、半導体素子 6 の代わりに半導体素子 6 b を用いたこと以外は、上記実施の形態 1 の半導体装置 1 とほぼ同様の構成を有するので、半導体素子 6 b 以外の構成（例えばジュメット電極 2, 3、ガラス封止体 4 および外部リード 8, 9）については、ここでは説明を省略する。

#### 【0082】

図 21 は、上記半導体素子（半導体チップ）6 b の回路構成を示すブロック図

(説明図)である。半導体素子 6 b は、例えば縦×横＝0.3 mm×0.4 mm 程度、厚さ 0.15 mm 程度の単結晶シリコンからなり、その主面の素子形成領域には、整流・送信、クロック抽出、セクタ、カウンタ、ROM などの回路が形成されている。また、素子形成領域の外側には、ボンディングパッド (図示せず) が形成されている。

#### 【0083】

上記 ROM は、128 ビットの記憶容量を有しており、バーコードを利用したタグに比べて大容量のデータを記憶できるようになっている。また、ROM に記憶させたデータは、バーコードに記憶させたデータに比べて不正な改竄が困難であるという利点もある。

#### 【0084】

半導体素子 (半導体チップ) 6 b の主面の素子形成領域上には、バンプ電極 (表面電極) 7 c が形成されており、ジュメット電極 3 がこのバンプ電極 7 c に電氣的に接続されている。バンプ電極 7 c は、半導体素子 (半導体チップ) 6 b の主面の周辺部 (素子形成領域以外の領域) に形成されたボンディングパッドを通じて図 21 に示した回路に接続されている。また、半導体素子 6 b は、その裏面に裏面電極 7 d が形成されており、ジュメット電極 2 がこの裏面電極 7 d に電氣的に接続されている。従って、半導体素子 6 b のバンプ電極 7 c はジュメット電極 3 を介して外部リード 9 に電氣的に接続され、半導体素子 6 b の裏面電極 7 d はジュメット電極 2 を介して外部リード 8 に電氣的に接続されている。本実施の形態では、外部リード 8 または外部リード 9 は、マイクロ波受信用のアンテナとして機能することができる。外部リード 8, 9 の長さは、例えば周波数 2.45 GHz のマイクロ波などを効率よく受信できるように最適化することができる。これにより、アンテナとしての外部リード 8, 9 から高周波電磁波エネルギーを得て、半導体素子 6 b が動作することが可能となる。

#### 【0085】

本実施の形態では、上記実施の形態 1 と同様のジュメット電極 2, 3 を用いることで、上記実施の形態 1, 2 と同様にジュメット電極 2, 3 とガラス封止体 4 との間の接着性を向上でき、ガラス封止体 4 として軟化点が低い (低融点の) ガ

ラス材料を用いてガラス封止温度を下げる事が可能となる。このため、ガラス封止工程での温度変化などに伴う圧縮または引張り応力を抑制でき、半導体素子 6 b とジュメット電極 2, 3 との電氣的接続の信頼性を向上することができる。従って、半導体装置 1 b の信頼性を向上できる。また、半導体装置の製造歩留まりを向上し、半導体装置の製造コストを低減できる。

#### 【0086】

(実施の形態 4)

上記実施の形態 1 では、半導体装置 1 は外部電極（外部端子）として外部リード 8, 9 を有していた。本実施の形態の半導体装置は、外部リード 8, 9 の代わりに平坦面を有する外部電極（外部端子）を備えており、面実装が可能となる。

#### 【0087】

図 22 は、本実施の形態の半導体装置 1 c の断面図であり、上記実施の形態 1 の図 1 に対応する。

#### 【0088】

半導体装置 1 c は、半導体装置 1 と同様に、ガラス封止型の半導体装置であり、例えばガラス封止型ダイオードである。図 22 に示されるように、半導体装置 1 c は、ジュメット線からなるジュメット電極（ジュメット線）2, 3 と、ガラス封止体（ガラス管、ガラススリーブ）4 と、ジュメット電極 2, 3 およびガラス封止体 4 からなるキャビティ 5 内に密封（封入）された半導体素子（半導体チップ）6 とを有している。ジュメット電極 2, 3 とジュメット電極 2 およびジュメット電極 3 に挟まれた半導体素子 6 とが、管状のガラス封止体 4 内に挿入され、ガラス封止体 4 がジュメット電極 2, 3 の外周面に融着されている。

#### 【0089】

本実施の形態の半導体装置 1 c では、上記実施の形態 1 の半導体装置 1 とは異なり、ジュメット電極 2, 3 には外部リードが接続（溶接）されておらず、外部リードの代わりに、円板状の導体部 71, 72 がジュメット電極 2, 3 に接続（溶接）されている。導体部 71, 72 は、ジュメット電極 2, 3 の直径よりも大きな直径を有する円板形状を有しており、その片面がジュメット電極 2, 3 に接続（溶接）されている。ジュメット電極 2, 3 に接続された導体部 71, 72 は

、ガラス封止体 4 から露出されており、半導体装置 1 c の外部電極（外部端子）として機能することができる。外部電極（外部端子）としての導体部 7 1, 7 2 は平坦な露出面を有しており、半導体装置 1 c を図示しない配線基板へ実装する際には、導体部 7 1 または導体部 7 2 の露出面が配線基板上の配線パターンなどに面実装される。

#### 【0090】

半導体装置 1 c を製造する際には、予めジュメット電極 2, 3 に導体部 7 1, 7 2 を接続（溶接）したものを準備しておき、上記実施の形態 1 と同様にして、導体部 7 1 を接続したジュメット電極 2 と、半導体素子 6 と、導体部 7 2 を接続したジュメット電極 3 とをガラス管 4 a（ガラス封止体 4）内に挿入し、ガラス管 4 a を熔融させてジュメット電極 2, 3 および導体部 7 1, 7 2 に融着させ、封止する。他の構成や製造工程は、上記実施の形態 1 とほぼ同様であるので、ここではその説明を省略する。

#### 【0091】

本実施の形態においても、上記実施の形態 1 と同様のジュメット電極 2, 3 を用いることにより、上記実施の形態 1 と同様の効果（例えばジュメット電極 2, 3 とガラス封止体 4 との間の接着性の向上などによる半導体装置の信頼性向上）を得ることができる。更に、本実施の形態の半導体装置 1 c は、配線基板などへの面実装が可能である。このため、実装面積の節減などが可能となる。また、半導体装置 1 c の配線基板などへの実装工程が容易となる。

#### 【0092】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【0093】

##### 【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

#### 【0094】

銅を主成分とする層の比率が20重量%以上であるジュメット線を用いてガラス封止型の半導体装置を形成したことにより、半導体装置の信頼性を向上できる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態である半導体装置の構造を示す断面図である。

【図2】

ジュメット電極の断面図である。

【図3】

本発明の一実施の形態である半導体装置で用いられる半導体素子の製造工程中の要部断面図である。

【図4】

図3に続く半導体素子の製造工程中における要部断面図である。

【図5】

図4に続く半導体素子の製造工程中における要部断面図である。

【図6】

図5に続く半導体素子の製造工程中における要部断面図である。

【図7】

本発明の一実施の形態である半導体装置の製造工程の説明図である。

【図8】

図7に続く半導体装置の製造工程の説明図である。

【図9】

図8に続く半導体装置の製造工程の説明図である。

【図10】

ガラス封止体に用いたガラスの特性を示す説明図である。

【図11】

本発明の一実施の形態である半導体装置で用いられるジュメット電極の銅層の比率および芯部のニッケル含有率を示す説明図である。

【図12】



比較例のジュメット電極を用いた半導体装置の引張り強度試験の結果を示すグラフである。

【図 13】

本発明の一実施の形態であるジュメット電極を用いた半導体装置の引張り強度試験の結果を示すグラフである。

【図 14】

ジュメット電極における酸化銅層の厚みを変えた場合の半導体装置の引張り強度試験の結果を示すグラフである。

【図 15】

本発明の他の実施の形態である半導体装置で用いられる半導体素子の製造工程中の要部断面図である。

【図 16】

図 15 に続く半導体素子の製造工程中における要部断面図である。

【図 17】

図 16 に続く半導体素子の製造工程中における要部断面図である。

【図 18】

図 17 に続く半導体素子の製造工程中における要部断面図である。

【図 19】

本発明の他の実施の形態である半導体装置の断面図である。

【図 20】

本発明の他の実施の形態である半導体装置の断面図である。

【図 21】

半導体素子の回路構成を示すブロック図である。

【図 22】

本発明の他の実施の形態である半導体装置の断面図である。

【符号の説明】

- 1 半導体装置
- 1 a 半導体装置
- 1 b 半導体装置

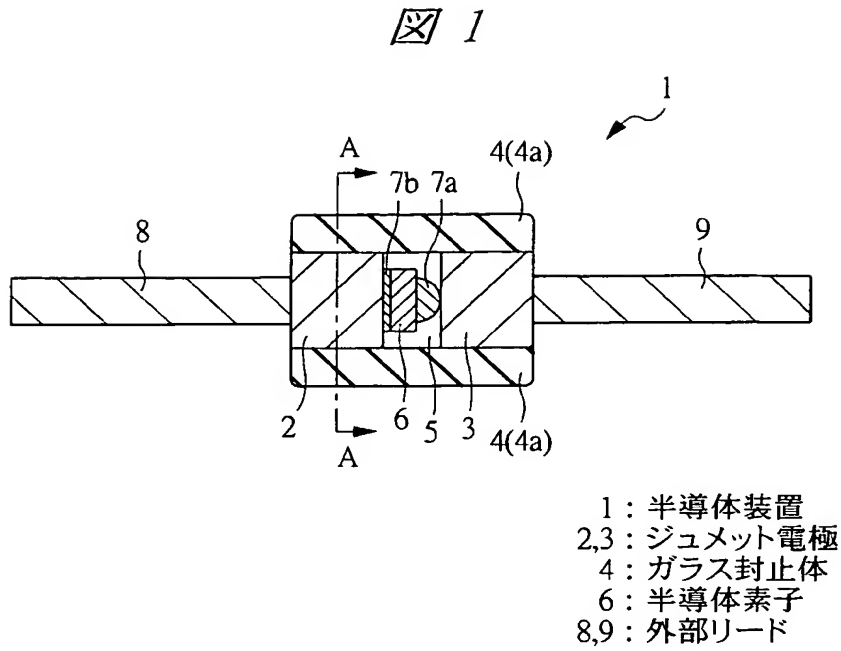


- 1 c 半導体装置
- 2 ジュメット電極
- 3 ジュメット電極
- 4 ガラス封止体
- 4 a ガラス管
- 5 キャビティ
- 6 半導体素子
- 6 a 半導体素子
- 6 b 半導体素子
- 7 a バンプ電極
- 7 b 裏面電極
- 7 c バンプ電極
- 7 d 裏面電極
- 8 外部リード
- 9 外部リード
- 1 1 芯部
- 1 2 銅層
- 1 4 酸化銅層
- 2 1 半導体基板
- 2 2 エピタキシャル層
- 2 3 酸化シリコン膜
- 2 4 P S G膜
- 2 5 表面保護膜
- 2 6 開口部
- 2 7 金属膜
- 2 8 シリサイド層
- 2 9 金属膜
- 3 0 金属電極
- 3 1 表面最終保護膜

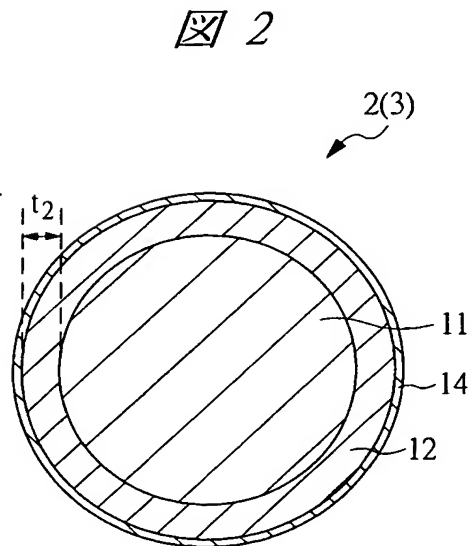
- 3 2 開口部
- 3 3 バンプ電極用下地膜
- 3 4 バンプ電極
- 3 5 裏面電極
- 4 1 組立用治具
- 4 2 溝
- 4 2 a 溝
- 4 2 b 溝
- 5 1 半導体基板
- 5 2 エピタキシャル層
- 5 3 酸化シリコン膜
- 5 4 開口部
- 5 5 p 型拡散層
- 5 6 酸化膜
- 5 7 表面保護膜
- 5 8 開口部
- 5 9 表面電極
- 6 0 表面最終保護膜
- 6 1 バンプ電極用下地膜
- 6 2 バンプ電極
- 6 3 裏面電極
- 7 1 導体部
- 7 2 導体部

【書類名】 図面

【図 1】

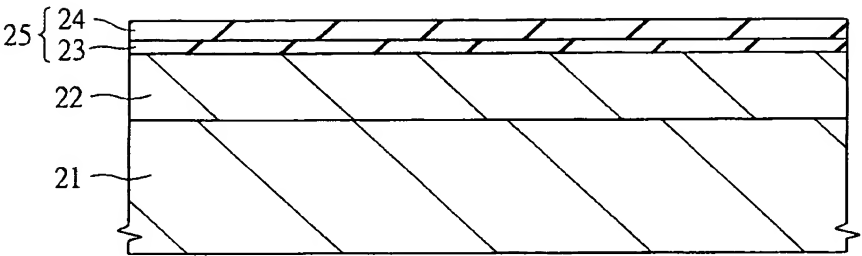


【図 2】



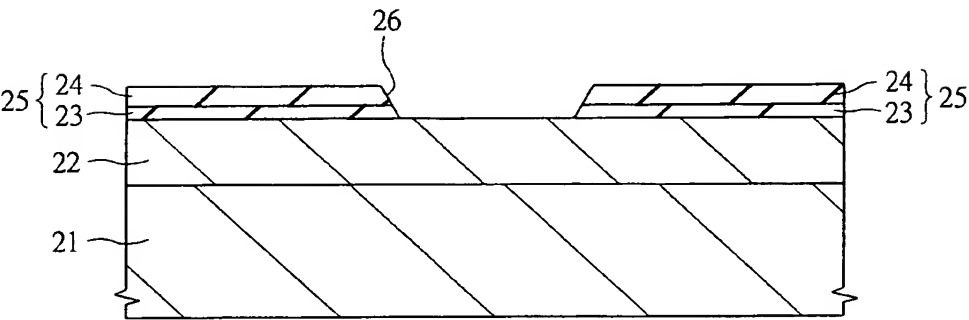
【図 3】

図 3



【図 4】

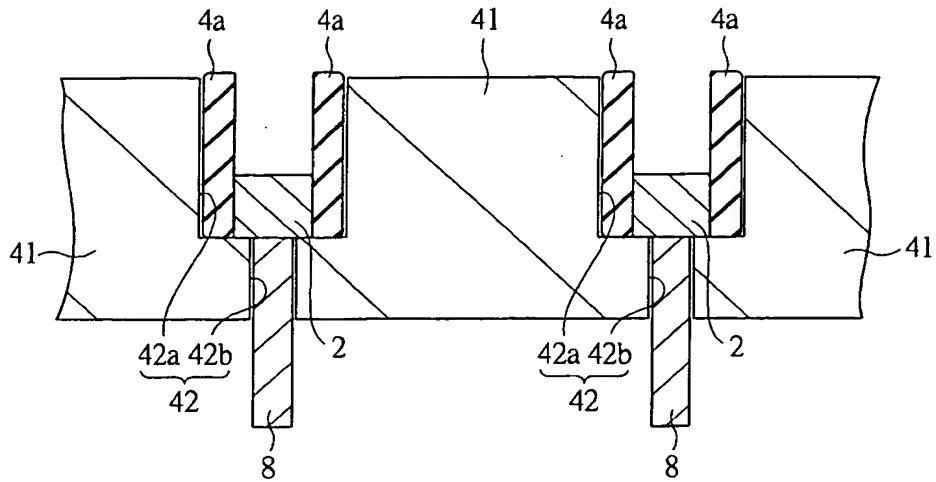
図 4





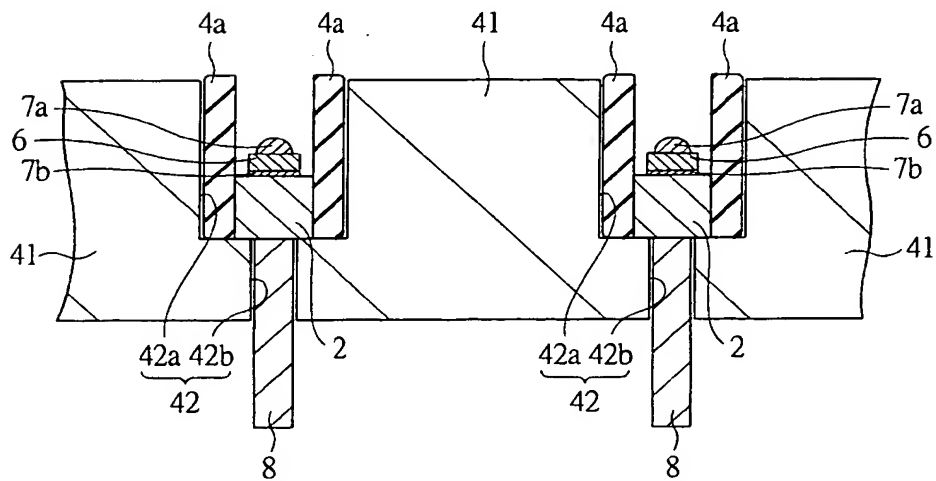
【図 7】

図 7



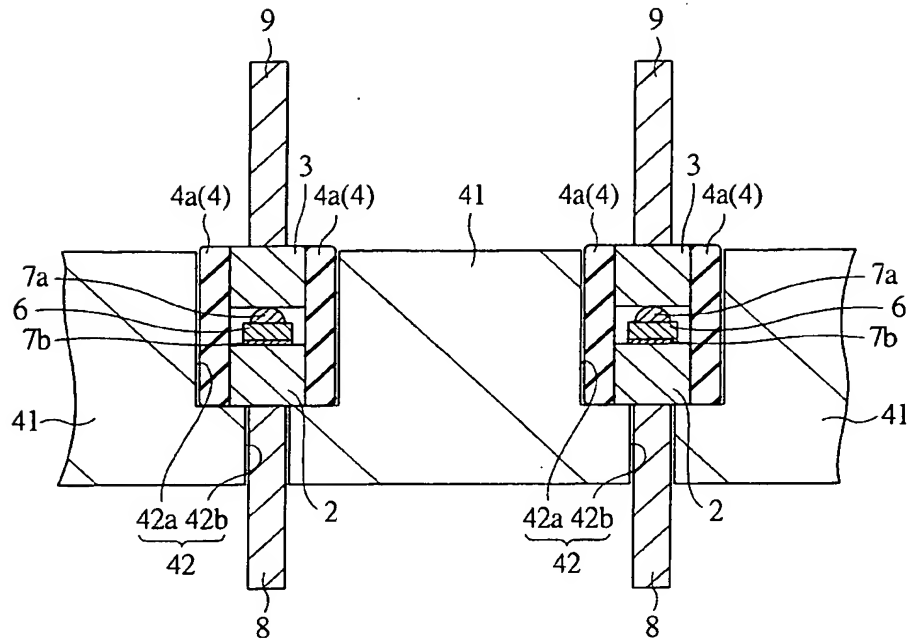
【図 8】

図 8



【図 9】

図 9





【図 10】

図 10

特性		ガラス材料G <sub>1</sub>	ガラス材料G <sub>2</sub> (低融点ガラス)
熱膨張係数	30~380℃	91	88
密度	$\times 10^{-7}/K$	4.31	4.47
歪点	$\times 10^3 kg/m^3$	390	395
徐冷点	℃	430	430
軟化点	℃	575	552
封着温度	℃	655	620
作業温度	℃	820	760
体積抵抗率 (log $\rho$ )	150℃	14.8	14.5
	250℃	11.7	11.5
誘電率	1MHz, 25℃	9.5	9.9
tan $\delta$	1MHz, 25℃	8	7
色調		透明	透明
組成系		K <sub>2</sub> O·PbO·SiO <sub>2</sub>	K <sub>2</sub> O·PbO·SiO <sub>2</sub>
Na <sub>2</sub> O含有率	wt. %	<0.1	<0.1

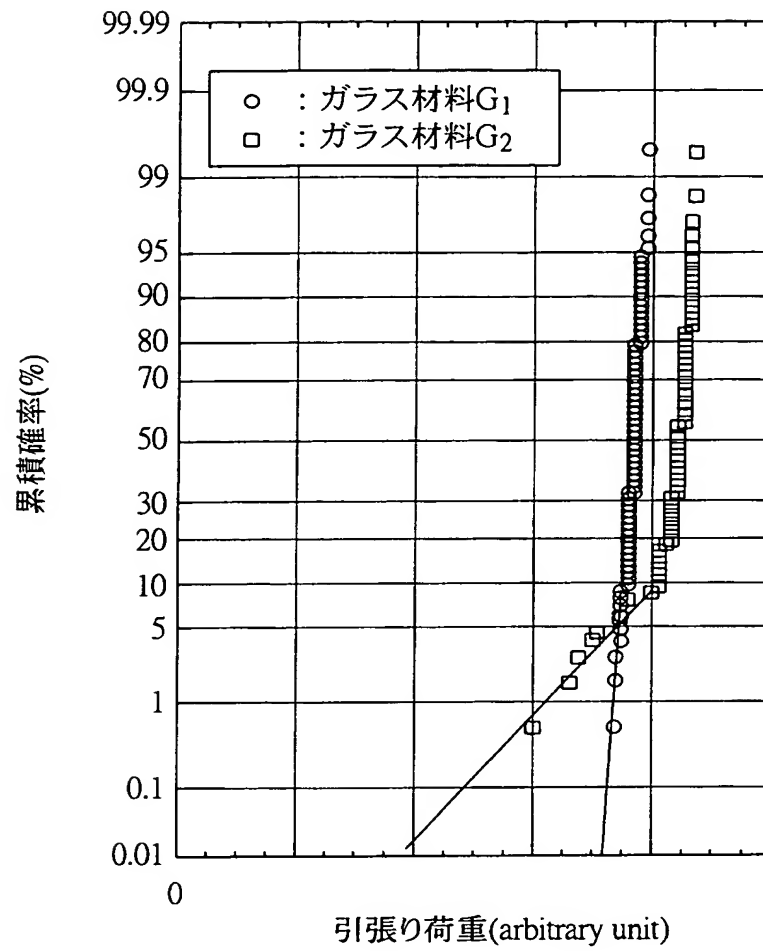
【図 1 1】

図 11

	ジュメット電極2,3	比較例の ジュメット電極DCE
銅層12の比率 (重量%)	20～25	14～19
芯部11中のNi含有率 (重量%)	41～43	46～48

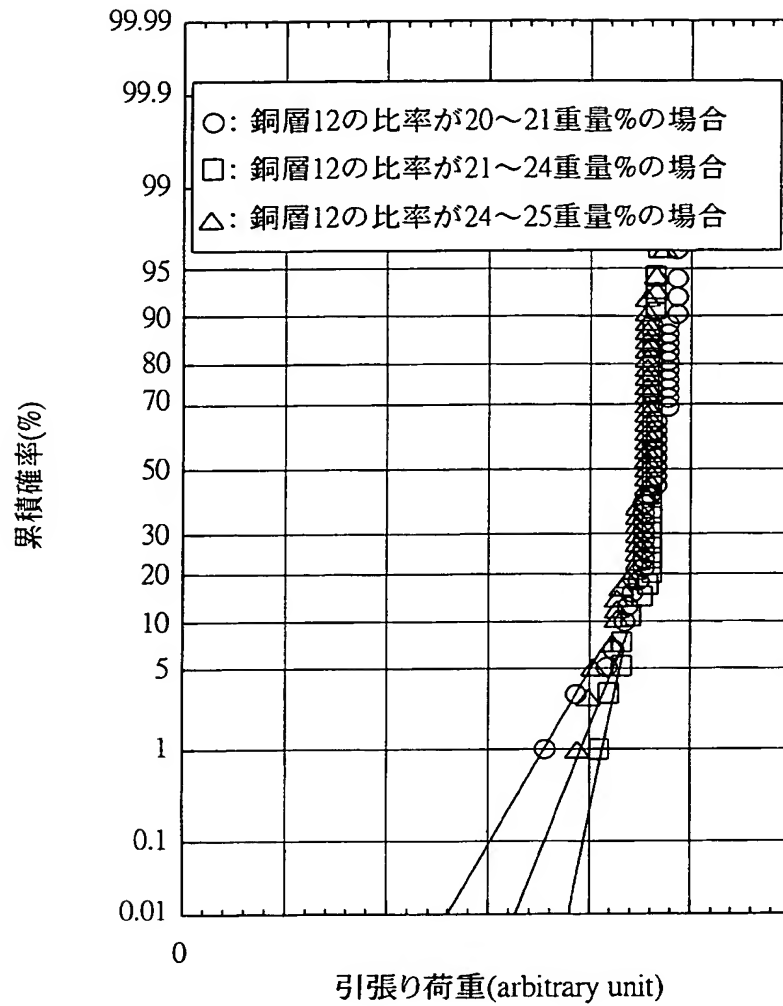
【図 12】

図 12



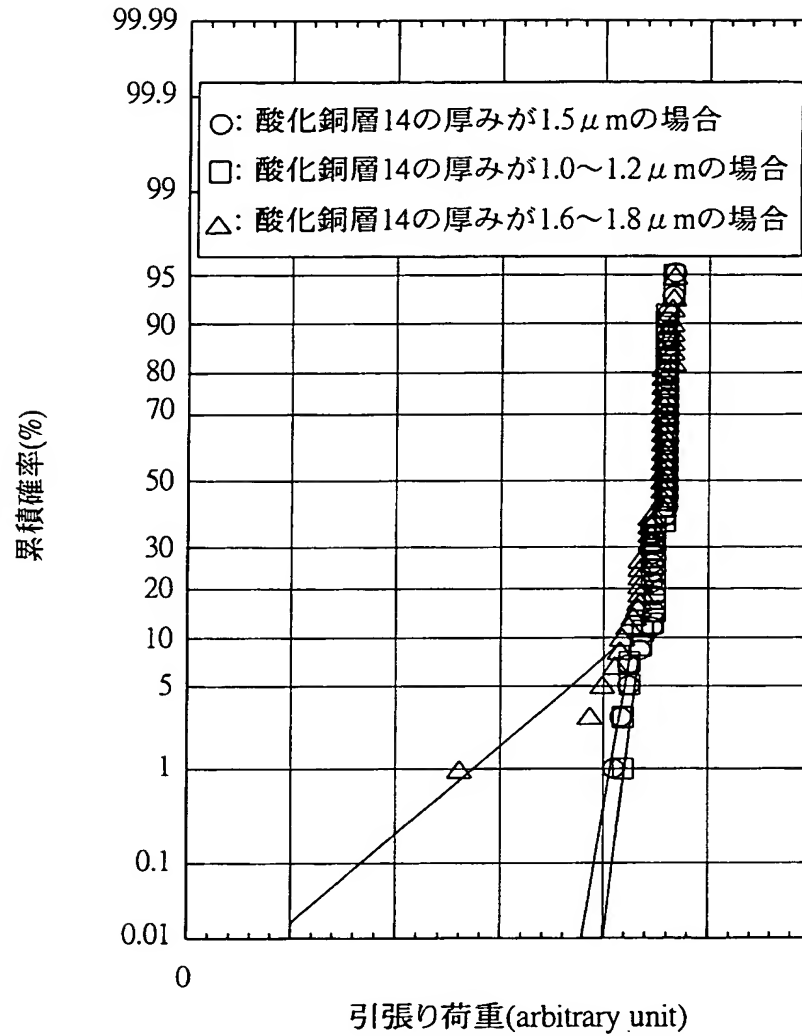
【図 13】

図 13



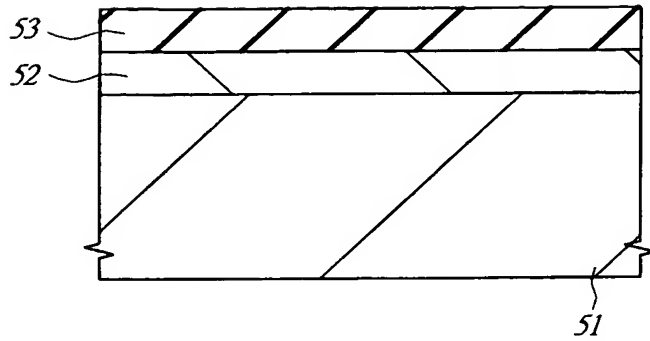
【図 14】

図 14



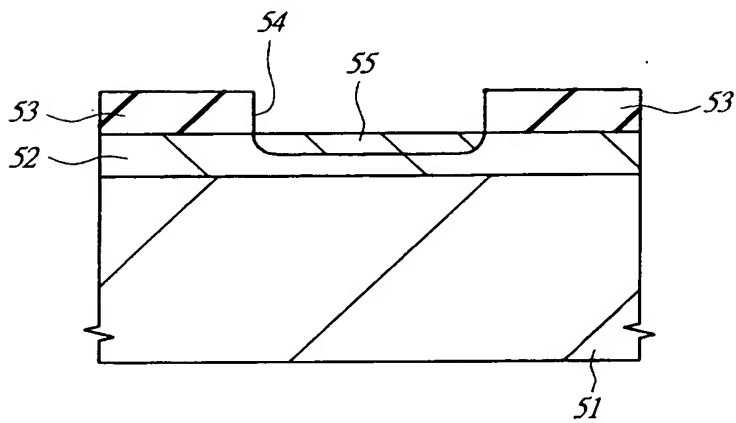
【図 15】

図 15



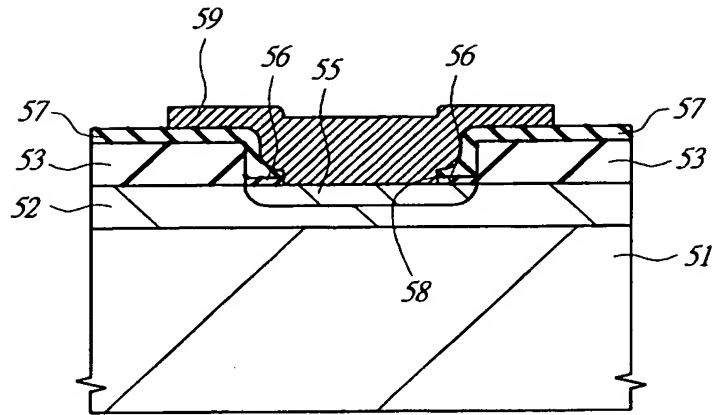
【図 16】

図 16



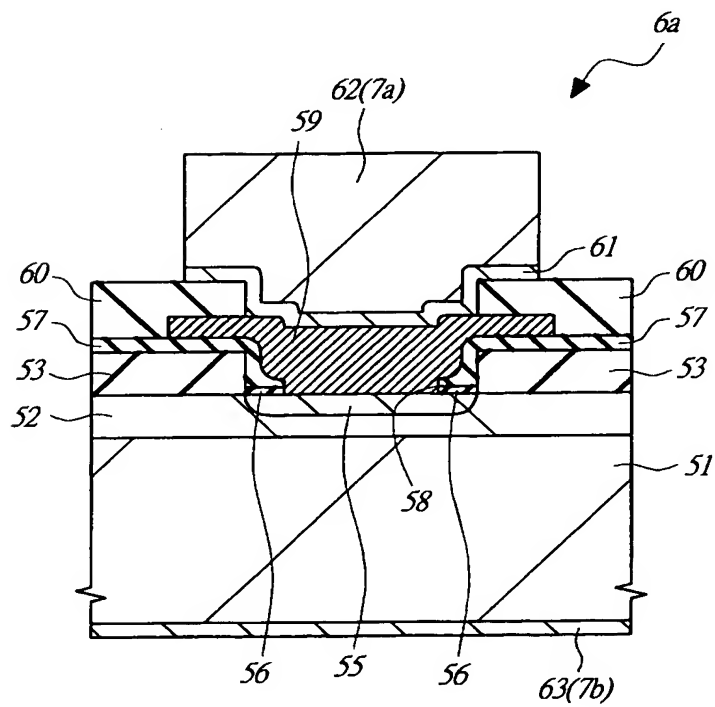
【図 17】

図 17

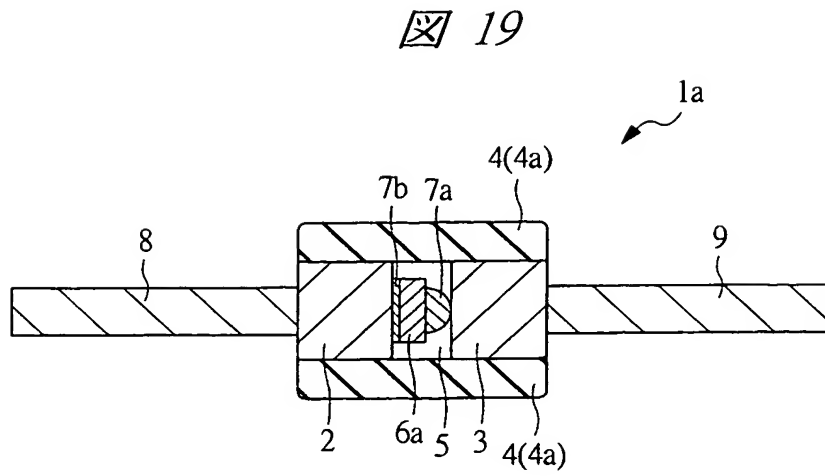


【図 18】

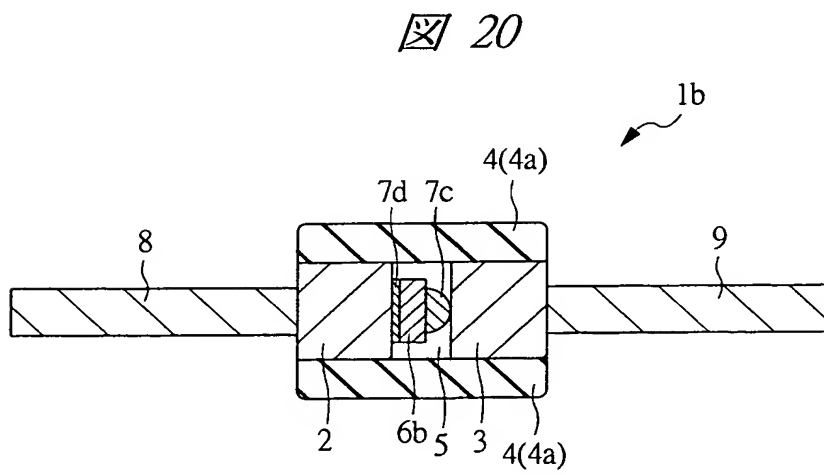
図 18



【図 19】



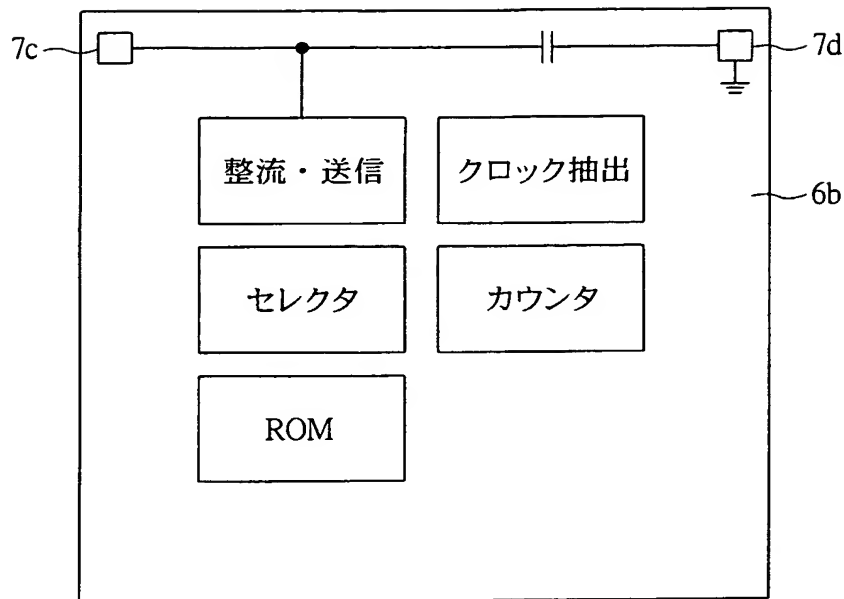
【図 20】





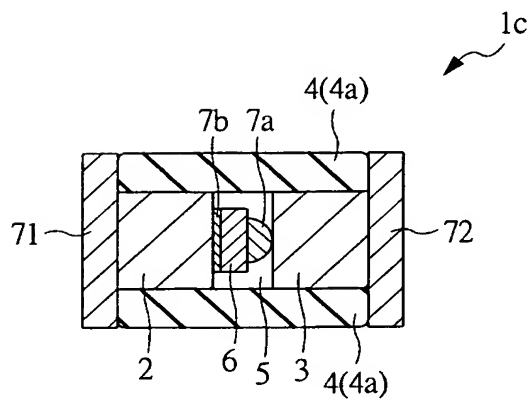
【図 21】

図 21



【図 22】

図 22



【書類名】 要約書

【要約】

【課題】 ガラス封止型の半導体装置の信頼性を向上する。

【解決手段】 ガラス封止型の半導体装置 1 は、ジュメット電極 2，3 と、ガラス封止体 4 と、ジュメット電極 2，3 およびガラス封止体 4 からなるキャビティ内に密封された半導体素子 6 とを有している。半導体素子 6 は、ショットキバリアダイオード素子からなる。ジュメット電極 2，3 には、半導体装置 1 の外部端子としての外部リード 8，9 が接続されている。ジュメット電極 2，3 は、ニッケルと鉄の合金からなる芯部と、芯部の外周に形成された銅層と、銅層の外表面に形成された酸化銅層とを有しており、銅層の比率は 20 重量%以上である。

【選択図】 図 1

特願 2 0 0 3 - 0 9 3 2 3 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所